

Scanned 2/18/2005

Family list

1 family member for:

JP8046208

Derived from 1 application.

**1 THIN-FILM TRANSISTOR, SEMICONDUCTOR STORAGE DEVICE USING
THE SAME AND MANUFACTURE THEREOF**

Publication Info: JP8046208 A - 1996-02-16

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05090708 **Image available**

THIN-FILM TRANSISTOR, SEMICONDUCTOR STORAGE DEVICE USING
THE SAME AND
MANUFACTURE THEREOF

PUB. NO.: 08-046208 [JP 8046208 A]

PUBLISHED: February 16, 1996 (19960216)

INVENTOR(s): KUMOMI HIDEYA

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 06-196280 [JP 94196280]

FILED: July 29, 1994 (19940729)

INTL CLASS: [G] H01L-029/786; H01L-021/336; H01L-021/20; H01L-021/8244;
H01L-027/11

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To eliminate the effect of grain boundary, reduce off leakage current and stabilize the on-resistance at a low value and diminish the dispersion of the on-resistance by placing an active element in a single solid-grown crystal grain having continuous crystal structure.

CONSTITUTION: At least the channel regions of a PMOS transistors 103, 104 for load resistance are stored in a single crystal grain having continuous crystal structure, and no grain boundary is contained. Accordingly, a TFT, in which off leakage currents are reduced and which are stabilized at a low resistance value at an on time and in which dispersion is diminished extending over all memory cells, can be used as the PMOS transistors 103, 104. A crystal grain required in a space occupied by the channel region must be arranged for forming the channel region of the TFT in the single

crystal grain. It becomes possible, for example, by generating artificial crystal nuclei at desired spatial positions of an a-Si film, and let them grow selectively in solid phase.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-46208

(43) 公開日 平成8年(1996)2月16日

(51) Int. Cl. °

識別記号

F 1

H01L 29/786

21/336

21/20

9056-4M

H01L 29/78

627

G

27/10

381

審査請求 未請求 請求項の数12 F D (全9頁) 最終頁に続く

(21) 出願番号 特願平6-196280

(22) 出願日 平成6年(1994)7月29日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 雲見 日出也

東京都大田区下丸子3丁目30番2号キヤノ

ン株式会社内

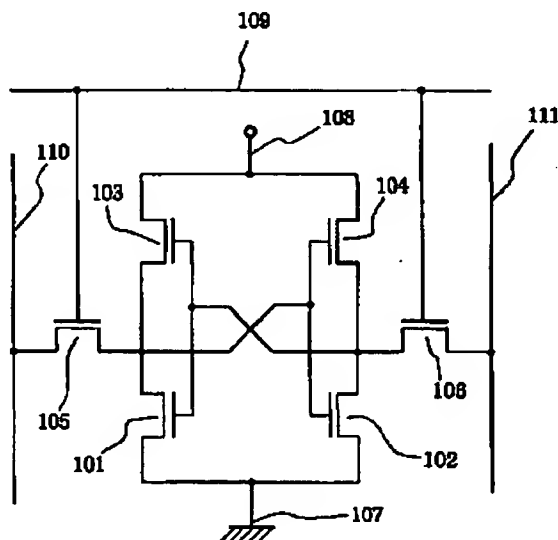
(74) 代理人 弁理士 伊東 哲也 (外1名)

(54) 【発明の名称】 薄膜トランジスタ、それを用いた半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 薄膜トランジスタのオフリーク電流を小さく、オン抵抗を低く、安定且つバラツキ少とし、それを用いることにより半導体記憶装置を高密度化・大容量化・高速化する。

【構成】 多結晶シリコンによって形成される薄膜トランジスタ104の少なくとも活性要素を固相成長した連続する結晶構造を有する単一の結晶粒の内部に存在させる。単一の結晶粒は、例えば非晶質膜中に発生した単一の結晶核を種とする固相成長によって形成する。



【特許請求の範囲】

【請求項01】 多結晶シリコンによって形成される薄膜トランジスタであって、少なくともその活性要素が、固相成長した連続する結晶構造を有する単一の結晶粒の内部に存在することを特徴とする薄膜トランジスタ。

【請求項02】 前記薄膜トランジスタがMOSトランジスタであり、前記活性要素が該MOSトランジスタのチャネルであることを特徴とする請求項1記載の半導体記憶装置。

【請求項03】 メモリセル中に薄膜トランジスタを有する半導体記憶装置であって、少なくとも一部の薄膜トランジスタの活性要素が、固相成長した連続する結晶構造を有する単一の結晶粒の内部に存在することを特徴とする半導体記憶装置。

【請求項04】 前記単一の結晶粒が、非晶質膜中に発生した単一の結晶核を種とする固相成長によって形成されていることを特徴とする請求項3記載の半導体記憶装置。

【請求項05】 前記メモリセルが負荷PMOSトランジスタ、駆動用NMOSトランジスタおよび転送用NMOSトランジスタを有するフリップフロップ回路を具備するものであり、前記連続した結晶構造を有する単一の結晶粒の内部に活性要素が存在する薄膜トランジスタが前記負荷PMOSトランジスタであることを特徴とする請求項3または4記載の半導体記憶装置。

【請求項06】 前記活性要素が前記負荷PMOSトランジスタのチャネルであることを特徴とする請求項5記載の半導体記憶装置。

【請求項07】 前記負荷PMOSトランジスタが、前記駆動用NMOSトランジスタまたは転送用NMOSトランジスタの上層に積層されていることを特徴とする請求項5または6記載の半導体記憶装置。

【請求項08】 前記負荷PMOSトランジスタを上層に設けられた前記駆動用NMOSトランジスタまたは転送用NMOSトランジスタが、単結晶シリコン基板中に形成されたバルクトランジスタであることを特徴とする請求項7に記載の半導体記憶装置。

【請求項09】 前記負荷PMOSトランジスタが前記駆動用NMOSトランジスタの上層に設けられており、該駆動用NMOSトランジスタのドレインが前記転送用NMOSトランジスタのソースを兼ねていることを特徴とする請求項7または8記載の半導体記憶装置。

【請求項10】 単結晶シリコン表面にPウェル層を形成する工程と、一方のトランジスタのソースと他方のトランジスタのドレインを共用するNMOSトランジスタ対を形成する工程と、

第1の絶縁層を堆積する工程と、

接地電極たる多結晶シリコン層を堆積する工程と、

第2の絶縁層を堆積する工程と、

該NMOSトランジスタ対の一方のゲート電極と該NMOSトランジスタ対に共用されるn+領域表面が露出する開口を設ける工程と、

該開口を埋める多結晶シリコン膜を堆積する工程と、

該多結晶シリコン膜を島状に分離する工程と、

第3の絶縁膜を堆積する工程と、

該絶縁膜に前記NMOSトランジスタ対に共用されるn+領域と導通する多結晶シリコン島の表面が露出する開口を設ける工程と、

非晶質シリコン膜を堆積する工程と、

前記NMOSトランジスタのゲート電極に導通する多結晶シリコン島の直上にマスク材を設ける工程と、

イオン注入を施す工程と、

該マスク材を除去する工程と、

該非晶質シリコン膜を融点以下の温度で熱処理し結晶化させる工程と、

該結晶化膜を線状に分離する工程と、

下層に埋め込まれた前記NMOSトランジスタ対の共用されない一つのソース領域と接地電極たる多結晶シリコン層を導通させる配線プラグを設ける工程と、

前記NMOSトランジスタ対の結晶化膜と導通しないゲート電極に導通する配線プラグと金属配線を施す工程と、

前記NMOSトランジスタ対の接地電極たる多結晶シリコン層を導通しないドレインに導通する配線プラグと金属配線を施す工程と、

第4の絶縁層を堆積する工程を含み、且つこれらの工程を順次行なうことを特徴とする、請求項3～9のいずれかに記載の半導体記憶装置の製造方法。

【請求項11】 前記NMOSトランジスタのゲート電極に導通する多結晶シリコン島の直上にマスク材を設ける工程の前に、前記イオン注入とは別のイオン注入を施す工程を行なうことを特徴とする請求項11記載の製造方法。

【請求項12】 単結晶シリコン表面にPウェル層を形成する工程と、

一方のトランジスタのソースと他方のトランジスタのドレインを共用するNMOSトランジスタ対を形成する工程と、

第1の絶縁層を堆積する工程と、

接地電極たる多結晶シリコン層を堆積する工程と、

第2の絶縁層を堆積する工程と、

該NMOSトランジスタ対の一方のゲート電極と該NMOSトランジスタ対に共用されるn+領域表面が露出する開口を設ける工程と、

該開口を埋める多結晶シリコン膜を堆積する工程と、

該多結晶シリコン膜を島状に分離する工程と、

第3の絶縁膜を堆積する工程と、

該絶縁膜に前記NMOSトランジスタ対に共用されるn+領域と導通する多結晶シリコン島の表面が露出する開

口を設ける工程と、
非晶質シリコン膜を堆積する工程と、
前記NMOSトランジスタのゲート電極に導通する多結晶シリコン島の直上にマスク材を設ける工程と、
エネルギー線を照射し該非晶質シリコン膜を結晶化させる工程と、
該マスク材を除去する工程と、
該結晶化膜を線状に分離する工程と、
下層に埋め込まれた前記NMOSトランジスタ対の共用されない一つのソース領域と接地電極たる多結晶シリコン層を導通させる配線プラグを設ける工程と、
前記NMOSトランジスタ対の結晶化膜と導通しないゲート電極に導通する配線プラグと金属配線を施す工程と、
前記NMOSトランジスタ対の接地電極たる多結晶シリコン層を導通しないドレインに導通する配線プラグと金属配線を施す工程と、
第4の絶縁層を堆積する工程を含み、且つこれらの工程を順次行なうことを特徴とする、請求項3〜9のいずれかに記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置およびその製造方法に係り、特に不揮発性のランダムアクセスメモリ（SRAM）としての半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】SRAMの高集積化を目指して、多結晶シリコン（poly-Si）によるPMOS型の薄膜トランジスタ（TFT）を負荷抵抗素子とするフリップフロップ回路を用いてメモリセルを構成する技術が開発されている。負荷MOS-TFTとしての好ましい特性の代表的な項目はTFTのオフ時のリーク電流が小さく、オン時には低抵抗値が安定且つ少ないバラツキで得られることである。しかし、poly-Si薄膜を用いるが故に、その実現が困難になっている点は否めない。これらの特性改善は、半導体固体記憶装置の高密度化・大容量化・高速化にとって重要な技術的課題の一つである。

【0003】poly-SiによるTFTの第一の問題点は、オフリーク電流にある。poly-Si薄膜には、高い欠陥準位密度の存在する結晶粒間の界面（粒界）が含まれるために、オフ時のリーク電流を低く抑えることは容易ではない。一般的には絶対値の抑制を目指して、チャンネル部の薄層化を進める傾向にあるが、そのままでは、今度は、素子全体の抵抗が上昇してしまい、十分なオン電流が得られなくなる。そこで、ソース・ドレイン部のみを厚膜化或いは多層化することによって、抵抗上昇をいくらかでも軽減する手法が提案されている（例えば特開平6-37283参照）。しかしこの手法は、TFT構造を複雑化すると同時にメモリセルサイズ

の膨張を招く。したがって、望ましくは、チャンネル部におけるリーク電流密度そのものを低減する抜本的な解決策が求められているのである。

【0004】第二の問題点は、抵抗値の温度安定性にある。poly-Siでは、粒界による電荷のトラップが災いして活性化エネルギーが大きいために、抵抗値の温度依存性が決して小さくない。この問題は、メモリセルがより高集積化されるにつれ深刻化する。解決策として、薄膜に炭素などのイオン注入を施す手法が提案されている（例えば特開平2-58260参照）が、このような不純物の導入は前述のリーク電流の観点からは好ましくない。

【0005】本発明者等の考察によれば、上述の二つの問題は、何れも粒界の存在に起因すると同時に、その空間的な密度に依存する。すなわち、結晶粒径を拡大し粒界密度を低減すれば問題の影響は緩和される。しかし、多結晶膜は、ランダムな位置における自発的核形成とその成長という過程で形成されるために、結晶粒径を拡大すべく成長速度に対して核形成頻度を抑制すると、結晶粒径に大きな分布が生じ、結果として、粒界密度の空間的な分布を顕著にする。したがって、単に平均的な結晶粒径を拡大するだけでは、TFT特性のバラツキがかえって増大することになってしまうのである。そして、以上の考察からの論理的帰結として、最も理想的には、粒界が存在しない薄膜を用いることが出来れば望ましいことになる。

【0006】

【発明が解決しようとする課題】本発明は、オフリーク電流が小さく、オン時には低抵抗値で安定且つバラツキの少ない薄膜トランジスタ、それを用いた高密度・大容量・高速な半導体記憶装置およびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の薄膜トランジスタは、多結晶シリコンによって形成されるが、少なくともその活性要素が、固相成長した連続する結晶構造を有する単一の結晶粒の内部に存在することを特徴とする。活性要素とは例えばMOSトランジスタにおけるチャンネルである。また、本発明の半導体記憶装置は、メモリセルを構成する薄膜トランジスタのうち少なくとも一部の薄膜トランジスタの活性要素が、固相成長した連続する結晶構造を有する単一の結晶粒の内部に存在することを特徴とする。このような単一の結晶粒は、例えば非晶質膜中に発生した単一の結晶核を種とする固相成長によって形成することができる。本発明の好ましい実施例において、前記メモリセルは負荷PMOSトランジスタ、駆動用NMOSトランジスタおよび転送用NMOSトランジスタを有するフリップフロップ回路を具備し、前記連続した結晶構造を有する単一の結晶粒の内部に活性要素が存在する必要がある

薄膜トランジスタは前記のトランジスタのうち負荷PMOSトランジスタである。そして、前記活性要素は前記負荷PMOSトランジスタのチャネルである。前記負荷PMOSトランジスタは、前記駆動用NMOSTランジスタまたは転送用NMOSTランジスタの上層に積層されており、前記負荷PMOSトランジスタの下層に設けられたNMOSTランジスタは、単結晶シリコン基板中に形成されたバルクトランジスタである。前記駆動用NMOSTランジスタが前記負荷PMOSトランジスタの下層に設けられた場合、前記駆動用NMOSTランジスタのドレインは前記転送用NMOSTランジスタのソースを兼ねる。

【0008】本発明の半導体記憶装置の製造方法のうち、固相結晶化において、非晶質シリコン(a-Si)膜の所望の位置に選択的に結晶核を発生させこれを固相成長させる方法としては、a-Si膜の固相結晶化において、a-Si膜の一部に局所的なイオン注入を施した後、熱処理する工程により、a-Si膜の所望の位置に選択的に結晶核を発生させこれを固相成長させる手法、或いは、a-Si膜の固相結晶化において、a-Si膜の一部に局所的にエネルギー線を与えることにより、a-Si膜の所望の位置に選択的に結晶核を発生させこれを固相成長させる手法等を適用することができる。

【0009】

【作用および効果】本発明では、薄膜トランジスタの少なくとも活性要素を、固相成長した連続する結晶構造を有する単一の結晶粒の内部に存在させている。これにより、本発明の薄膜トランジスタは、活性要素が前述した理想状態に形成され、結晶粒界の影響が排除されて、オフリーク電流が小さく、オン抵抗が低抵抗値で安定且つバラツキの少ないものとなる。そして、これを負荷抵抗素子に用いることによって、SRAM等の半導体記憶装置を高密度・大容量・高速化することができる。

【0010】

【実施例】以下、本発明による半導体記憶装置について図を用いて説明する。

実施例1

図1は、本発明の一実施例に係るSRAMにおける一つのメモリセル素子の構成を示す等価回路図である。図中、フリップフロップ回路は、駆動用のNMOSTランジスタ101、102と負荷抵抗用のPMOSTランジスタ103、104で構成されており、データ転送用のNMOSTランジスタ105、106と併せて一つのメモリセルをなしている。NMOSTランジスタ101、102のソース部は共に接地線107に接続され、PMOSTランジスタ103、104のソース部は共に電源線108に接続される。そして、NMOSTランジスタ105、106のゲート電極は共にワード線109に接続され、何れか一方のソースもしくはドレイン部がビット線110、111に接続されている。6個あるトラン

ジスタのうち、NMOSTランジスタ101、102、105、106は、例えばその活性領域がシリコン単結晶ウェハ中に形成されるバルクMOSであってもよいし、poly-Si薄膜によるTFTでもよい。一方、PMOSTランジスタ103、104は、NMOSTランジスタ101、102の上層に、層間絶縁膜を介して積層されたTFTである。

【0011】図1に示すとおり、等価回路としては通常のSRAMメモリセルと変わるところはない。本実施例によるSRAMの特徴は、負荷抵抗用のPMOSTランジスタ103、104の少なくともチャネル領域が、結晶構造の連続した単一結晶粒中に収まっており、結晶粒界を含まない点にある。この特徴により、PMOSTランジスタ103、104に、オフリーク電流が小さく、オン時には低抵抗値で安定であり、且つ全てのメモリセルに亘ってバラツキの少ないTFTを用いることが可能となる。

【0012】TFTのチャネル領域を単一の結晶粒の内部に形成するには、TFTのチャネル領域が占めることになる空間に、必要なサイズの結晶粒を配さねばならない。これは、例えばa-Si膜の空間的な所望の位置に人工的に結晶核を発生させ、選択的に固相成長させることにより、可能である。結晶核の発生位置の制御方法としては、例えば、固相成長に先立ってシリコンイオン注入を施す手法(例えばH. Kumomi et al., Mat. Res. Soc. Symp. Proc. Vol. 202, 645 (1991) 参照)等が挙げられるが、必ずしもこれに限ったものではない。

【0013】図2は、形成されたメモリセルの平面図である。ここで、各部位に付けられた番号の下二桁が図1の等価回路図に付されている番号の下二桁に一致する要素は、図1の等価回路図に表わされた部品に対応するか、もしくはその部品を構成している。また、番号の末尾に付与されているアルファベットは、その部位がMOSトランジスタの構成要素であることとし、s, c, d, gはそれぞれソース、チャネル、ドレインおよびゲートを表わしている。更に、二点鎖線で表わされた部位は、それが単結晶シリコン中に形成されている素子の要素であることを示し、順次、一点鎖線、鎖線、実線の順で上方に積層される部位であることを表わしている。

【0014】図2において、図1の駆動用NMOSTランジスタ101は、単結晶シリコン中に形成されたソース201sおよびドレイン201dと、単結晶シリコン上層にpoly-Siで形成されたゲート電極201gから構成されている。同様に、駆動用NMOSTランジスタ102は、メモリセルの中心に対して駆動用NMOSTランジスタ101と点対称位置に、ソース202s以下の部位から構成されている。駆動用NMOSTランジスタ101のドレイン201dは転送用NMOSTラ

ンジスタ105のソース205sを兼ねている。その転送用NMOSTランジスタ105は、単結晶シリコン中に形成されたソース205sおよびドレイン205dと、単結晶シリコン層上にpoly-Siで形成されたゲート電極205gから構成されている。同様に、転送用NMOSTランジスタ106は、メモリセルの中心に対して転送用NMOSTランジスタ105と点対称位置に、ドレイン206dおよびゲート電極206g以下の部位から構成されている。以上は、全てバルクMOSTランジスタの構成要素であり、積層素子群の第一層をなしている。

【0015】図中には記していないが、それら積層素子群第一層上には絶縁膜を介して接地線となるpoly-Si膜が設けられている。ただし、このpoly-Si膜は、たとえばプラグ213、214のように上層と第一層を結線する位置では省かれている。そして接地線poly-Si膜は、駆動用NMOSTランジスタ101および102のソース201sおよび202sと結線プラグ207およびこれと点対称で対応する位置にあるプラグで導通している。

【0016】接地線poly-Si膜上には、再び絶縁層が設けられている。そして、この絶縁層は駆動用NMOSTランジスタ101、102のゲート電極201g、202g表面と、ドレイン201d、202dの表面の一部が露出する開口を有している。これら開口を埋めながら、多結晶シリコン(poly-Si)島203g、204gが設けられている。したがって、poly-Si島203gは、駆動用NMOSTランジスタ101のゲート電極201gならびに転送用NMOSTランジスタ106のソース206sと導通し、一方、poly-Si島204gは、駆動用NMOSTランジスタ102のゲート電極202gならびに転送用NMOSTランジスタ105のソース205sと導通する。

【0017】poly-Si島203g、204g上には、絶縁層が設けられている。この絶縁層は領域212ならびにこれと点対称位置に対応する領域で開口されている。この上層に、P型のpoly-Si線208が配されている。ただし、領域204cとこれと双対する領域は、真性か或いは低濃度のn型の、連続した結晶構造を有する単一の結晶粒であり、その内部に結晶粒界を含まない。poly-Si線208に連続する領域204cをチャネル、その両側をソースとドレイン、下層にあるpoly-Si島204gをゲート電極として、負荷抵抗用PMOSTランジスタ104が構成されている。双対するPMOSTランジスタ103も同様に構成されている。負荷抵抗用PMOSTランジスタ104のソースは、そのまま電源線208に結線されており、ドレインは、領域212において、下層のpoly-Si島すなわち負荷抵抗用PMOSTランジスタ103のゲート電極203gに結線されている。双対する負荷抵抗用P

MOSTランジスタ103のソースとドレインも同様である。

【0018】これら電源線208および負荷抵抗用PMOSTランジスタ103、104上には、再び絶縁膜が設けられており、その上に、金属材料によって、ワード線209およびビット線210、211が配線されている。ワード線209は、プラグ214によって転送用NMOSTランジスタ105、106のゲート電極205g、206gと結線されている。ビット線210、211は、プラグ213とその双対要素によって、それぞれ転送用NMOSTランジスタ105、106のドレイン205d、206dと結線されている。以上の空間的配置で、図1に示したメモリセルが構成されている。

【0019】以下に、図3を用いて、図2に示したメモリセルの製造工程を説明する。ここで、図3の断面図群は、図2における横断線200におけるものである。また、各部位に付けられた番号の下二桁が、図1、2に付されている番号の下二桁に一致する要素は、そこに表わされた部品に対応するか、もしくは、その部品を構成している。

【0020】はじめに、(100)方位p型シリコン単結晶ウェハ上に、CVDエピタキシャル法でNウェル層およびPウェル層300を順次積層した。次に、シリコン表面を100nm程酸化してゲート絶縁膜を形成してから、poly-Siによるゲート電極302g、306gを形成した。次に、燐のイオン注入と活性化によって、n⁺領域302s、302d(306s)、306dを形成した。ここで、n⁺領域302sおよび302dからなるソースおよびドレイン部とゲート電極302gによって、駆動用NMOSTランジスタ102(302)が形成された。また、n⁺領域306sおよび306dからなるソースおよびドレイン部とゲート電極306gによって、転送用NMOSTランジスタ106(306)が形成された。(図3(a))。次に、CVD法によってSiO₂膜による絶縁膜315を堆積し、更に、n型のpoly-Si膜307を堆積し、このpoly-Si膜307にゲート電極302gならびにドレイン302dの表面が露出する開口を設けた。次に、再び絶縁膜を堆積し、これにもゲート電極302gならびにドレイン302dの表面が露出する開口を設けた(図3(a))。

【0021】次に、燐を導入しながらn型のpoly-Si膜を堆積し、これをパターニングしてpoly-Si領域304g、303gを設けた。これらはそれぞれ、負荷抵抗用PMOSTランジスタ104、103のゲート電極204g、203gに対応するものである。ゲート電極304gは駆動用バルクNMOSTランジスタ302のゲート電極302gと導通し、また、ゲート電極303gはドレイン部302dに導通している。この後、CVD法で、ゲート酸化膜316を堆積し、ゲー

ト電極303g上には開口を設けた(図3(b))。

【0022】次に、ジシランガスを用いたLPCVD法で、25nm厚のa-Si膜317を堆積し、マスク材318を設けた後に、20keVに加速されたボロンイオン319を $5 \times 10^{14} \text{ cm}^{-2}$ のドーズで注入した(図3(c))。

【0023】そして、これを窒素雰囲気中600℃で熱処理すると、マスク材318によってマスクされていた領域に優先的に単一の結晶核320が発生し固相成長した(図3(d))。

【0024】その結果、少なくともマスクされていた領域は、結晶構造の連続する単一の結晶核304cとなり、それ以外の領域では粒界位置のランダムな多結晶膜321となった。そこで、この結晶化膜を、図2の208で示す形状にパターンニングした後に、絶縁層322を堆積した。これにより、poly-Siからなるゲート電極304gと、SiO₂膜からなるゲート酸化膜316、単一の結晶粒からなるチャネル304c、そしてp⁺poly-Si領域321および326をソースおよびドレイン部とする、負荷抵抗用PMOSTランジスタ104が形成された(図3(e))。

【0025】最後に、図3の断面には表われないが、プラグ207、213、214の領域に開口を設けアルミとシリコンからなるプラグ金属を埋め込み、更に、ワード線309およびビット線210、211の配線を行なった後に、パッシベーション層323を堆積した。

【0026】以上の工程によって、負荷抵抗用PMOSTランジスタのチャネル部が結晶構造の連続する単一の結晶粒の内部に存在する、図2に示したSRAM型の半導体記憶装置を形成した。

【0027】実施例2

本発明の第2実施例を図4を用いて説明する。第2実施例によるSRAMメモリの構成は、第1実施例のそれと変わらない。a-Si膜317の所定の位置に単一の結晶粒304cを配する手法のみが異なる。

【0028】第1実施例において、図3(b)に示されるゲート酸化膜316を堆積しゲート電極303g上には開口を設ける工程までは、同様に工程を進めた。

【0029】次に、シランガスを用いたLPCVD法で、40nm厚のa-Si膜317を堆積し、シリコンイオン324を加速エネルギー35keV、 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズで注入した(図4)。この後は第1実施例と同じ工程に戻り、ドーズマスク材318を設けた後に、30keVに加速されたボロンイオン319を $5 \times 10^{14} \text{ cm}^{-2}$ のドーズで注入した(図3(c))。以下、第1実施例の工程をなぞることにより、同様のSRAM型の半導体記憶装置を形成した。

【0030】実施例3

本発明の第3実施例を図5を用いて説明する。第3実施例によるSRAMメモリの構成も、第1実施例のそ

れと変わらない。a-Si膜317の所定の位置に単一の結晶粒304cを配する手法のみが異なる。

【0031】第1実施例において、図3(b)に示されるゲート酸化膜316を堆積しゲート電極303g上には開口を設ける工程までは、同様に工程を進めた。

【0032】次にジシランガスを用いたLPCVD法で、30nm厚のa-Si膜317を堆積し、続いて、CVD法で500nm厚のSiO₂膜318を堆積し、一部に開口を設けた。そして、基板全体を500℃に保ちつつ、基板上方から10Wcm⁻²のパワー密度のキセノンランプを照射したところ、SiO₂膜318の開口部に単一の結晶核320が優先的に発生し固相成長した(図5)。結果的に、開口部は連続した結晶構造を有する単一の結晶粒によって占められ、それ以外の部分ではランダムな多結晶となった。そこで、この後は図3

(e)を用いて説明した第1実施例のパターンニング以降の工程をなぞることにより、同様のSRAM型の半導体記憶装置を形成した。

【0033】上述のように、固相結晶化において、非晶質シリコン(a-Si)膜の所望の位置に選択的に結晶核を発生させこれを固相成長させる手法を用いて、少なくともチャネル部を結晶構造の連続した単一の結晶粒の内部に配することによって結晶粒界の影響を排除し、オフリーク電流が小さく、オン時には低抵抗値で安定且つバラツキの少ないPMOS-TFTを提供することができる。そして、これを負荷抵抗素子に用いることによって、高密度・大容量・高速なSRAMを提供することができる。

【0034】また、a-Si膜の固相結晶化において、a-Si膜の一部に局所的なイオン注入を施した後に熱処理する工程により、a-Si膜の所望の位置に選択的に結晶核を発生させこれを固相成長させる具体的な手法を提供し、ひいてはオフリーク電流が小さく、オン時には低抵抗値で安定且つバラツキの少ないPMOS-TFTを負荷抵抗素子に用いることによって、高密度・大容量・高速なSRAMを提供することができる。

【0035】或いは、a-Si膜の固相結晶化において、a-Si膜の一部に局所的にエネルギー線を与えることにより、a-Si膜の所望の位置に選択的に結晶核を発生させ、これを固相成長させる具体的な手法を提供し、ひいてはオフリーク電流が小さく、オン時には低抵抗値で安定且つバラツキの少ないPMOS-TFTを負荷抵抗素子に用いることによって、高密度・大容量・高速なSRAMを提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る半導体記憶装置の素子構成を示す回路図である。

【図2】 図1の装置における一つのメモリの構造を示す平面図である。

【図3(a)～(e)] 図1の装置を製造するための

各工程ごとの、図2中横断線200に沿った断面のうちPウェルより上方の断面図である。

【図4】 本発明の第2実施例の製造工程の一部を示す、図2中横断線200に沿った断面のうちPウェルより上方の断面図である。

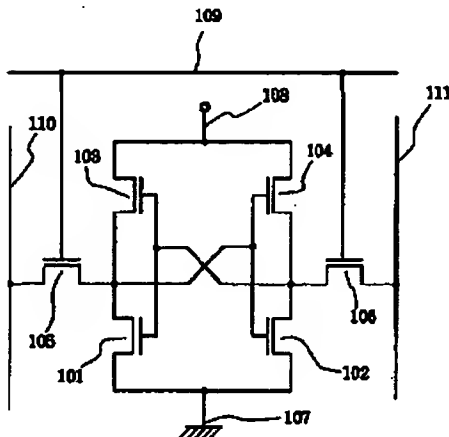
【図5】 本発明の第3実施例の製造工程の一部を示す、図2中横断線200に沿った断面のうちPウェルより

り上方の断面図である。

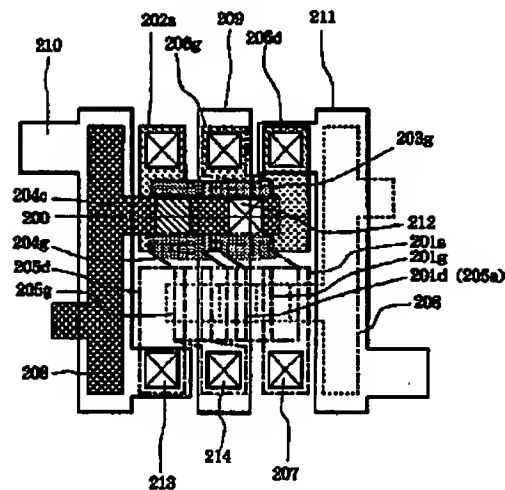
【符号の説明】

101, 102: 駆動用NMOSトランジスタ、103, 104: 負荷抵抗用PMOSトランジスタ、105, 106: 転送用NMOSトランジスタ、107: 接地線、108: 電源線、109: ワード線、110, 111: ビット線、204c, 304c: チャネル。

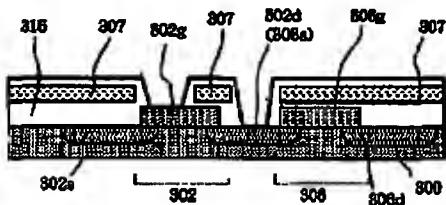
【図1】



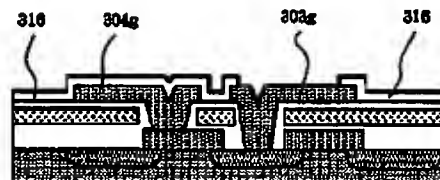
【図2】



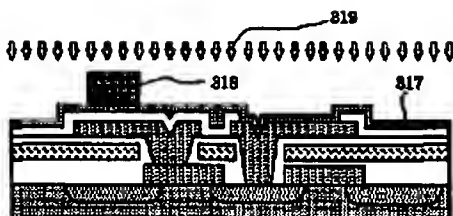
【図3 (a)】



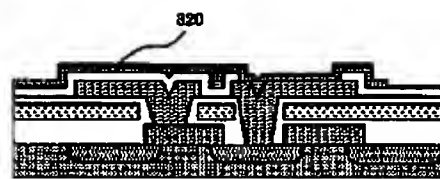
【図3 (b)】



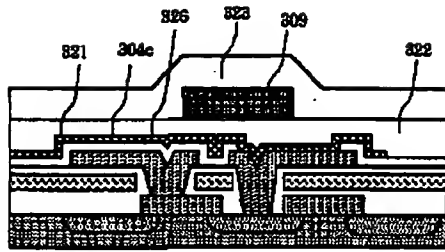
【図3 (c)】



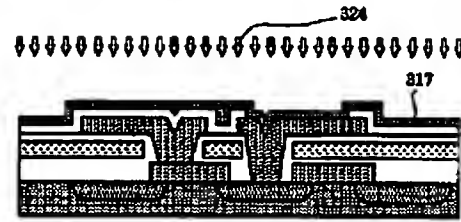
【図3 (d)】



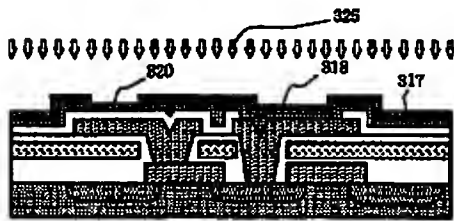
【図3(e)】



【図4】



【図5】



【手続補正書】

【提出日】平成6年11月14日

【手続補正1】

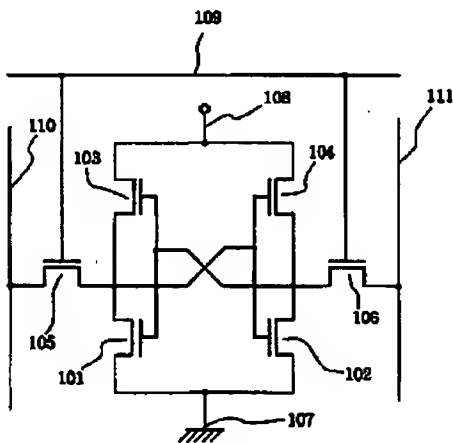
【補正対象書類名】図面

【補正対象項目名】全図

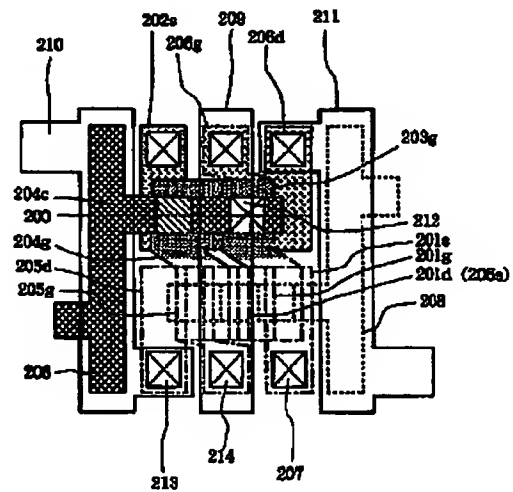
【補正方法】変更

【補正内容】

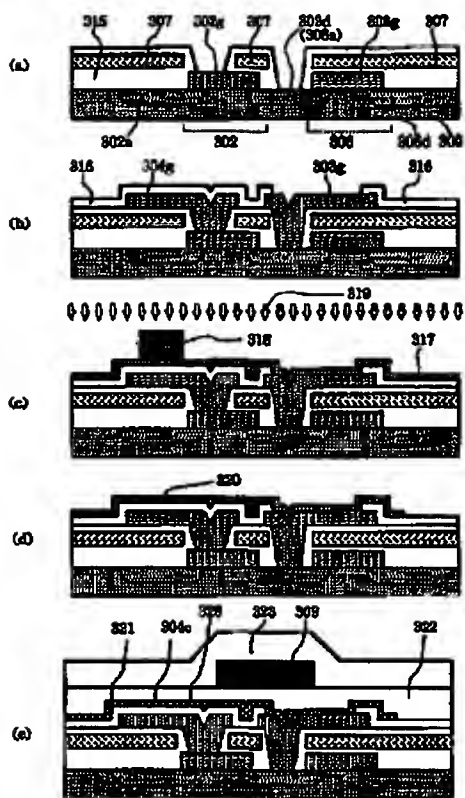
【図1】



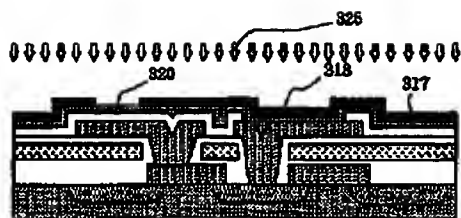
【図2】



【図 3】



【図 5】



フロントページの続き

(51) Int. Cl.⁴

H 0 1 L 21/8244

27/11

識別記号

庁内整理番号

F 1

技術表示箇所

9056-4M

H 0 1 L 29/78

6 1 3 B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.